

(19)日本国特許庁 (J P)

(12)特許公報 (B 2)

(11)特許出願公告番号

特公平7-97130

(24) (44)公告日 平成7年(1995)10月18日

(51)Int.Cl.<sup>8</sup>

図別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/3183

G 0 1 R 31/ 28

Q

請求項の枚数 (全 14 頁)

(21)出願番号 特願平5-85611

(22)出願日 平成5年(1993)3月19日

(65)公開番号 特開平6-273489

(43)公開日 平成6年(1994)9月30日

(71)出願人 000108409

ソニー・テクトロニクス株式会社  
東京都品川区北品川5丁目9番31号

(72)発明者 岩佐 哲郎

東京都品川区北品川5丁目9番31号 ソニ  
ー・テクトロニクス株式会社内

(72)発明者 堀下 芳邦

東京都品川区北品川5丁目9番31号 ソニ  
ー・テクトロニクス株式会社内

審査官 関根 洋之

(56)参考文献 特開 昭63-217282 (J P, A)

(54)【発明の名称】 デジタル・パターン発生器

1

【特許請求の範囲】

【請求項1】 データ・クロックを発生するデータ・クロック発生手段と、

上記データ・クロックに比較して高速なタイミング・クロックを発生するタイミング・クロック発生手段と、

上記データ・クロックに同期して動作し、デジタル・データ・パターンを出力するデータ・パターン発生手段と、

上記タイミング・クロックに同期して動作し、予め記憶したタイミング波形を出力するタイミング波形メモリ手段と、

上記タイミング波形メモリ手段にアドレスを供給するアドレス手段と、

上記デジタル・データ・パターン及び上記タイミング波形の論理積を生成して出力する論理積生成手段とを具備

2

るデジタル・パターン発生器。

【請求項2】 上記論理積生成手段の出力及び上記タイミング波形で定まる所定パルス幅の出力を生成する順序回路を更に具える請求項1記載のデジタル・パターン発生器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電子回路のタイミング解析等の検査に用いられるデジタル・パターン波形、即ち、タイミング波形を発生させるためのデジタル・パターン発生器に関する。

【0002】

【従来の技術】 デジタル・パターン発生器は、主にICや電子回路等の動作解析、タイミング解析等に用いられる。図11は、デジタル・パターン発生器のブロック図

3

を示しており、マイクロプロセッサ（CPU）等を用いる制御回路10と、デジタル・データ・パターン（又は単にデータ・パターンという）を蓄積するメモリ回路（データ・パターンRAM）20と、メモリ回路20からの信号をもとに出力のタイミングを変化させるタイミング調整回路40とから構成される。また、メモリ回路20とタイミング調整回路40との間に並直列交換回路30を設け、低速の並列データを高速の直列データに変換するようにしても良い。タイミング調整回路40は、大まかなタイミング波形を生成するタイミング波形発生回路60と、その出力を微調整する遅延／パルス幅可変回路50、およびクロック発生回路42からなる。以降、このタイミング波形発生回路60について主に説明する。

【0003】図12は、タイミング解析に用いられるデジタル・パターン発生器の代表的な出力波形として、DNRZ（ディレイド・ノット・リターン・トゥ・ゼロ）波形、RZ（リターン・トゥ・ゼロ）波形、R1（リターン・トゥ・ワン）波形を示している。これらの波形は、通常、データ・クロックに同期してデータ・パターンRAM20から出力される1又は0のデジタル・データ・パターンに、遅延等の処理を加えて得られる。

【0004】例えば、DNRZ波形は、データ・クロックに同期してRAM20が出力するデジタル・パターンをそのまま（波形を変えずに）時間的に遅延させた波形である。RZ波形は、RAM20の出力するデジタル・パターンが1であれば、0に始まって設定時間後に1になり、続いて設定時間後に0に戻る一方で、デジタル・パターンが0であれば、0に維持される波形である。R1波形は、RZと逆にデジタル・パターンが0であれば波形が1に始まり、ある設定時間後に0になり、続いて設定時間後に1に戻る一方で、デジタル・パターンが1であれば1が維持される波形である。

【0005】RZ波形及びR1波形を生成する従来の回路としては、大きく分けると次の2種類がある。即ち、「データ・パターン制御型回路」及び「タイミング・クロック制御型回路」の2つである。これらを図13及び図14に示す。なお、これらの図は、簡単のためRZ波形の場合だけを示している。いずれの方法にしても、通常、微小なタイミング調整、つまり、数10ナノ秒程度までの遅延、立ち上がりエッジ、立ち下がりエッジ、パルス幅等の調整は、専用の遅延／パルス幅可変回路50（例えば、ブルックツリー（Brooktree）社製Bt622型ICなど）を用いて実現できる。よって、ここでは、数ナノ秒の微小な範囲についての波形生成については問題にはしない。また、ここでの方法の違いも、遅延／パルス幅可変回路50による微小な調整についてではなく、パターン発生器の大きなタイミング波形発生のための回路について検討する。

【0006】図13は、データ・パターン制御型回路1

4

00の一従来例のブロック図である。これは、チャンネル毎にカウンタ手段110を有しており、各カウンタ手段110は、カウンタ制御回路112、2つのカウンタ114及び116、並びにRSフリップフロップ（FF）118で構成される。これらカウンタ114及び116には、夫々計数値が設定され、データ・クロックを計数する。このとき、カウンタ114の出力をRSフリップフロップ118のS（セット）入力端に入力し、カウンタ116の出力をR（リセット）入力端に入力している。よって、データ・パターンが1になった時点から、カウンタ114が設定値だけデータ・クロックを計数し終えたところで、RSフリップフロップ118がセットされてその出力が1となる。これに続いて、カウンタ116が設定値を計数し終えたところでRSフリップフロップ118がリセットされて出力が0に戻り、RZ波形が生成される。

【0007】図14は、タイミング・クロック制御型回路200の一従来例のブロック図である。回路200の各チャンネルは、タイミング選定回路210を有しており、各タイミング選定回路210は、データ制御回路212、2つのマルチプレクサ（MUX）214及び216、並びにDフリップフロップ218で構成される。このDフリップフロップ218は、D入力端に1が入力されているときにクロック入力端に1が入力されるとその出力が1となる。また、R（リセット）入力端に1が入力されるとすぐにその出力がリセットされて0に戻る。この実施例では、D入力端にはデータ・パターンを入力し、CLK（クロック）入力端には、MUX214の出力信号を入力し、R（リセット）入力端には、MUX216の出力信号を入力している。

【0008】図15は、図14に示したクロック発生手段230のブロック図を示している。このクロック発生手段230は、基準クロックをもとにカウンタなどを用いて周波数の異なる複数のクロックを発生しており、立ち上がりエッジ用のCLKHクロックをMUX214に、立ち下がりエッジ用のCLKLクロックをMUX216に供給する。各MUXは、複数のクロックの中から適切な周波数のクロックを選択する。そして、RAMからのデータ・パターンが1になった後、クロック入力端にMUX214からの出力を受けるとDフリップフロップ218の出力が1になる。ついでMUX216の出力によってDフリップフロップ218がリセットされて出力が0に戻り、RZ波形が生成される。なお、回路200の場合には、全チャンネルの出力波形が独立とはならず、クロック発生手段230が発生するクロックの種類数で制限される。

【0009】これら2つの形式は、いずれもクロックをカウンタで計数することによって、波形の立ち上がり及び立ち下りのタイミングを変化させている。このとき、タイミングを任意に変化させれば、各チャンネルの

出力波形を任意に変化させて出力することができる。また、R1波形が必要なならば、データ・パターンを反転させて各回路に入力し、その出力をさらに反転させればよい。

【0010】

【発明が解決しようとする課題】データ・パターン制御型回路では、各チャンネルが波形の立ち上がり、立ち上がりに必要なカウンタを持っているので、1チャンネルごとに独立した波形が生成できる。さらにクロックの発生手段は、タイミング・クロックを制御する場合と比較して簡単になる。しかし、チャンネル毎に高速カウンタが複数以上必要なため、高価で消費電力が多くなり、さらにチャンネル数を増やすと回路規模が非常に大きくなる。

【0011】タイミング・クロック制御型回路では、基本クロック発生器側にカウンタ等を持ち波形の立ち上がり、立ち下がりに必要な種類のタイミング・クロックを発生させて、それをチャンネル毎に立ち上がり、立ち下がり毎に選択するので、各チャンネルではクロック選択回路(MUX)とレジスタのみでよい。よって、データ・パターンを制御する場合に比較して、選択できるクロックの個数を限定すれば、1チャンネルあたりの回路規模が少なく済み、多チャンネルになった場合に安価で低消費電力のものとなる。しかし、利用できる波形の種類は、クロック発生手段で発生できるタイミング・クロックの種類数に制限され、各チャンネルの出力を完全に独立な波形にできない。

【0012】そこで本発明の目的は、多チャンネルにしても回路規模が比較的小さくて済むデジタル・パターン発生器を提供することである。本発明の他の目的は、各チャンネルから独立なデジタル・パターン波形を出力できるデジタル・パターン発生器を提供することである。本発明のさらに他の目的は、設定に応じて任意な波形を有するデジタル・パターン波形を出力できるデジタル・パターン発生器を提供することである。

【0013】

【課題を解決するための手段】本発明のデジタル・パターン発生器は、以下のように構成される。即ち、データ・クロック発生手段44は、データ・クロックを発生する。タイミング・クロック発生手段46は、データ・クロックと比較して高速なタイミング・クロックを発生する。このとき、タイミング・クロックを分周してデータ・クロックを生成してもよい。データ・パターン発生手段20には、RAMを使用しても良く、データ・クロックに同期して動作し、デジタル・データ・パターンを出力する。RAMの使用が適当なタイミング波形メモリ手段64は、タイミング・クロックに同期して動作し、予め記憶したタイミング波形を出力する。アドレス手段70は、タイミング波形を出力させるために、タイミング波形メモリ手段にアドレスを供給する。論理積生成手段

80は、デジタル・データ・パターン及びタイミング波形の論理積を生成して出力する。さらには、順序回路を設け、論理積生成手段80の出力及びタイミング波形で定まる所定パルス幅の出力を生成するようにしてもよい。これによれば、タイミング波形の2周期に跨る出力も生成できる。

【0014】

【実施例】図1は、本発明の一実施例を示すブロック図である。これは、データ・クロックに従ってメモリ回路(データ・パターンRAM)20から出力されるデータ・パターンをもとに、上記データ・クロックより早いタイミング・クロックでタイミングRAM64を動作させ、データ・クロック毎に波形を発生させるものである。レジスタ90は、グリッチを防止し、タイミング波形をタイミング・クロックに同期させるための同期レジスタである。本発明によれば、通常のRZ波形等だけではなく、タイミングRAM64に書かれた任意のタイミング波形を出力することができる。この新しいタイミング波形を以降、リターン・トゥ・プログラム(RP)波形と呼ぶことにする。図2は、本発明のデジタル・パターン発生器で発生可能な種々のタイミング波形のタイミング・チャートである。

【0015】タイミング・クロックは、データ・クロックの整数倍にする方が制御は容易であるが、必ずしも整数倍でなくて良い。ただし、タイミング・パターンRAM74用のアドレス発生器は、データ・クロック毎にタイミング・クロックに同期するよう初期設定する必要がある。したがって、データ・クロック発生器44は、タイミング・クロック発生器46からのタイミング・クロックを分周してデータ・クロックを作成すると回路が簡略化できる。

【0016】タイミングRAM64によるタイミング・パターン波形の出力に関して、RZ波形を出力する場合を例に説明する。図3に示すように、仮にデータ・パターンRAM20が動作可能な最大クロック周波数により出力したデータ・パターンの、2倍の周波数のタイミング波形をタイミングRAM64が発生できるものとする。すると、データ・クロック周波数がこの最高周波数のときには、データ・パターン中の1である期間が最短であるため、タイミングRAM64からは、00、01、10又は11のいずれかのタイミング・パターンしか発生できない。しかし、データ・クロック周波数が低くなるにつれて、データ・パターン中の1の期間が長くなるので、タイミングRAM64に予め書き込んでおいたタイミング・パターンをデータ・パターンの1の期間中に出力すれば、種々のRZ波形を出力できる。例えば、周波数を下げたときに0000、0001、・・・、1110、1111といったタイミング・パターン波形をタイミングRAM64から読み出し、データ・パターンが1の期間中に出力されるようにすれば良い。こ

のようにデータ・クロックの周波数を下げて行けば、タイミングRAM64の容量が許す範囲で種々のタイミング波形を出力できる。例えば、RP波形などが出力できるようになる。

【0017】タイミングRAM64からRZ波形を生成するためには、少なくとも“010”の波形が必要であるが、周波数が高い場合は、上述のように01、10等の波形しかできない場合が生じる。しかし、この場合は、波形のパルス幅が非常に短かいので、この後の回路にある遅延/パルス幅可変回路50で調整すればよい。例えば、10のパターンを遅延/パルス幅可変回路50に10入力すれば、まず、ある時間遅延させ、さらに、パルス幅を変更することで、010などの波形にすることができ。このように遅延/パルス幅可変回路50には、数ピコ秒から数10ナノ秒程度、パルスを微小に遅延させる機能だけでなく、パルス幅を変更する機能を持たせても良い。もちろん、このような遅延/パルス幅可変回路を用いず、遅延回路とパルス幅可変回路を独立に設けても良い。RZ波形について説明したが、もちろん、R1波形も同様に生成できる。例えば、データ・パターンを反転させて回路に入力し、その出力をさらに反転させればよい。

【0018】図4は、本発明による4チャンネル出力を有する一実施例を示している。この例では、4チャンネルのデータ・パターンがタイミングRAM64の上位4ビットのA11~A8アドレスに供給され、D3~D0から4チャンネルのタイミング波形が出力される。タイミングRAM64は、D3~D0に対応して4つのメモリ・セルを有している。ただし、これら4つのメモリ・セルのアドレスは、A11~A0であり、共通している。

【0019】図5及び図6は、D3及びD0に対応するメモリ・セルの例を夫々示している。図からもわかるように、各メモリ・セルにつき、上位4ビットであるA11~A8アドレスを指定すれば、16通りの選択が可能である。ただし、図5からわかるように、D3用メモリ・セルについては、A11が“0”であればXを、“1”であればYを選択するように設定される。また、図6からわかるように、D0用メモリ・セルについては、A8が“0”であればXを、“1”であればYを選択するように設定される。つまり、A11に入力によって、D3の出力がX又はYに一意に決まる。同様に、D2~D0についても、夫々A10~A8の入力によって一意に決まる。このようにして決まるX又はYに対して、下位8ビットのA7~A0アドレスに、タイミング・クロックで変化するアドレス発生器の出力を供給することにより、メモリ・セルは“0”又は“1”のパターンを出力し、RZ波形、R1波形等、X又はYにつき夫々256通りの波形を選択的に出力する。結果的には、下位8ビットで定まる256通りのパターンを上位4ビットで

選択するという演算をしていることになる。つまり、メモリを演算手段として用いている。ただし、この例では、各メモリ・セルに同じX又はYにつき夫々256個のパターンを夫々8通り用意する必要があるため、メモリの使用に無駄がある。

【0020】図7は、本発明による4チャンネル出力を有する他の実施例を示している。タイミングRAM64には、やはり、4チャンネルに対応して4つのメモリ・セルを有している。しかし、各メモリ・セルには、1種類のタイミング・パターンを書き込んであり、データ・パターンに関係なく、アドレス発生器からの出力にしたがってタイミングRAM64から1種類のタイミング・パターン（タイミング波形）が出力される。図7の演算手段80のアンド・ゲートのシンボルで示すように、RZ波形を出力するのか、又はR1波形を出力するのかに応じてデータ・パターンの1又は0とタイミングRAM64からの出力（タイミング波形）とで論理積（アンド）を取ることによって、RZ波形又はR1波形を生成して出力できる。これによれば、タイミング・パターンを記憶しておくのに必要なタイミングRAM64の容量は、各チャンネルごと1パターンであるから、図4の場合よりも少なくても良い。さらには、図4及び図7の2つを合わせた形式を用いても良い。つまり、データ・パターンをタイミングRAM64にアドレスとして入力して出力を得た後、さらにその出力とデータ・パターンを演算しても良い。

【0021】図8は、本発明のさらに他の実施例のブロック図である。図4及び図7に示した回路では、RZ、R1及びRP波形は発生可能であったが、DNRZ波形に関しては、そのままではうまく発生できない。つまり、タイミングRAM64からの1周期内の波形出力をもとにしているため、DNRZ波形のように、タイミングRAM64の1周期を越えて、2周期に跨っている波形に関してはそのままでは発生できなかった。しかし、図8によれば、RZ波形を生成する回路にわずかな付加回路を加えるだけでDNRZ波形も発生させることができる。

【0022】DNRZ波形の出力について説明する。まず、DNRZ波形の立ち上がりの遷移を起こす時点に対応するタイミングRAM64のアドレスに、タイミング・クロックの1クロック分のパターンを書いておく。その他のアドレスの内容は0とする。初期設定では、タイミング・レジスタ90の出力は0となっている。この状態から動作を開始するとする。データ・パターンが1で、タイミングRAM64の出力もアドレスが変化して1になれば、タイミング・レジスタ90の出力が1となる。レジスタ90は、タイミングRAM64の出力が変化してもその出力を1に保持する。タイミング・レジスタ90の出力が0に変化するためには、データ・パターンが0になり、タイミングRAM64の出力も0に変化

し、続いてタイミング・クロック来た時点である。そこで、出力を0にするために、このタイミング・レジスタ90とその値をフィードバックして順序回路を構成する。これは、数個のゲートで構成できる。このように、タイミング・レジスタ90を用いることで、DNR Z波形が得られる。

【0023】図8のアンド(AND)ゲート82は、図7に示した演算回路80に対応し、タイミングRAM64の利用についても図7で説明したものと同様である。図4に関して説明したようにタイミングRAM64を用い  
10 れば、アンド(AND)ゲート82を使用しなくても良い。また、ノア(NOR)ゲート84が受けるモード信号によって、R Z波形とDNR Z波形を選択できる。この例では、モード信号が0であれば、DNR Z波形となり、モード信号が1であればR Z波形となる。なお、上述のようにR Z波形が生成できれば、R 1波形は容易に生成することができる。

【0024】図9及び図10は、図8においてモード信号に応じた回路の各点における信号の時間関係を表すタイ  
20 ミング・チャートである。図9に示すように、モード信号が0である場合には、データ・パターンの幅を変えずに、遅延量のみ変えたDNR Z波形が生成できる。一方、図10に示すように、モード信号が1で、データ・パターンも1のとき、タイミングRAM64の出力の幅と遅延量を制御したタイミ  
30 ミング波形(R Z波形、R 1波形等)を生成できる。実際には、タイミングRAM64へのクロックは、タイミング・レジスタ90へのクロックよりも少し早いものを使用して、タイミングRAM64の出力を用いるゲート回路出力が、うまくタイミ  
40 ミング・レジスタ90に取り込めるようにする。また、データ・パターンについても同様に、それがうまくタイミ  
50 ミング・レジスタ90に取り込めるように、その遅延時間を調整する必要がある。なお、図4で説明した回路に適用するには、演算回路を付け加えれば良い。

【0025】上述のように、本発明をデータ・パターン制御型回路100と比較すると、チャンネル毎に数個の高速なECLカウンタを持つ必要がなく、数チャンネルに1個の小容量の高速RAMを持てばよい  
ため、消費電力が少なく済む。例えば4kビットで4出力のECL(エミッタ・カップルド・ロジック)RAMを用い  
れば、1個のECL・RAMで4チャンネル分の出力できる。また、従来のデータ・パターン制御型回路を多  
チャンネル化した場合には、回路規模が非常に大きく、実用上は、ECLのゲートアレイにして使用する  
ため、非常に高価なものになる。これに比較して、本発明によれば、比較的安価な通常のECL・RAM  
で同様のパターンタイミング発生が可能である。

【0026】また、従来のタイミング・クロック制御型回路200と比較すると、本発明は、各チャンネル独立に  
50 タイミング波形を生成でき、消費電力についても、E

CLのマルチプレクサを2個で構成していたタイミング選定回路210と比較して消費電力を半分にするができる。さらに、使用部品を大幅に少なくできる。

【0027】さらに、本発明の大きな特徴は、従来と異なり、タイミング波形の立ち上がり  
と立ち下りのエッジを生成するのではなく、タイミングRAM64のバ  
ターン内容を利用するため、一定の制限の下にR Z、R 1及びDNR Z波形だけでなく、タイミングRAMに書  
ける内容であれば、例えば、010011等の任意のタイ  
ミ  
10 ミング波形とも言えるRP(リターン・トゥ・プログラム)波形を発生できることである。このように本発明は、一般に必要となるデジタル・パターンのほとんどすべてのタイミング波形を作成可能である。

【0028】

【発明の効果】本発明のデジタル・パターン発生器によれば、多チャンネルであっても、各チャンネルごとにカ  
ウンタを複数使用する必要がないので、比較的回路規模が小さくて良い。その一方で、夫々のチャンネルから独  
立なデジタル・パターン波形を出力できる。また、タイ  
ミ  
20 ミング波形メモリ手段に種々のタイミング波形を記憶させておけば、タイミング解析に必要な多くの波形を出力することができる。このとき、論理積生成手段がデータ・パターン及びタイミング波形の論理積を生成して出力するので、高速動作を必要とするタイミング波形メモリ手段の容量は比較的少なく済み、安価である。

【図面の簡単な説明】

【図1】本発明のデジタル・パターン発生器の一実施例を示すブロック図である。

【図2】本発明のデジタル・パターン発生器で発生可能なタイミング波形を示すタイミ  
30 ミング・チャートである。

【図3】データ・クロックが最高周波数のときのタイミ  
40 ミング・チャートである。

【図4】本発明のデジタル・パターン発生器のタイミ  
50 ミング調整回路の一実施例のブロック図である。

【図5】タイミングRAMのD3出力用メモリ・セルの設定を示す図である。

【図6】タイミングRAMのD0出力用メモリ・セルの設定を示す図である。

【図7】本発明のデジタル・パターン発生器のタイミ  
40 ミング調整回路の他の実施例のブロック図である。

【図8】本発明のデジタル・パターン発生器のタイミ  
50 ミング調整回路のさらに他の実施例のブロック図である。

【図9】図8に示す回路において、モード信号を0とした場合のタイミ  
60 ミング・チャートを示す図である。

【図10】図8に示す回路において、モード信号を1とした場合のタイミ  
70 ミング・チャートを示す図である。

【図11】デジタル・パターン発生器の一従来例を示すブロック図である。

【図12】タイミング解析に用いられるデジタル・パ  
70 ターン発生器の代表的な出力波形を示す図である。

11

12

【図13】デジタル・パターン発生器のデータ・パターン制御型回路100の一従来例のブロック図である。

【図14】デジタル・パターン発生器のタイミング・クロック制御型回路200の一従来例のブロック図である。

【図15】図14に示すクロック発生手段230のブロック図である。

【符号の説明】

10 制御回路

20 データ・パターンRAM

\*40 タイミング調整回路

44 データ・クロック発生手段

46 タイミング・クロック発生手段

50 遅延/パルス幅可変回路

60 タイミング波形発生回路

62 RAM制御回路

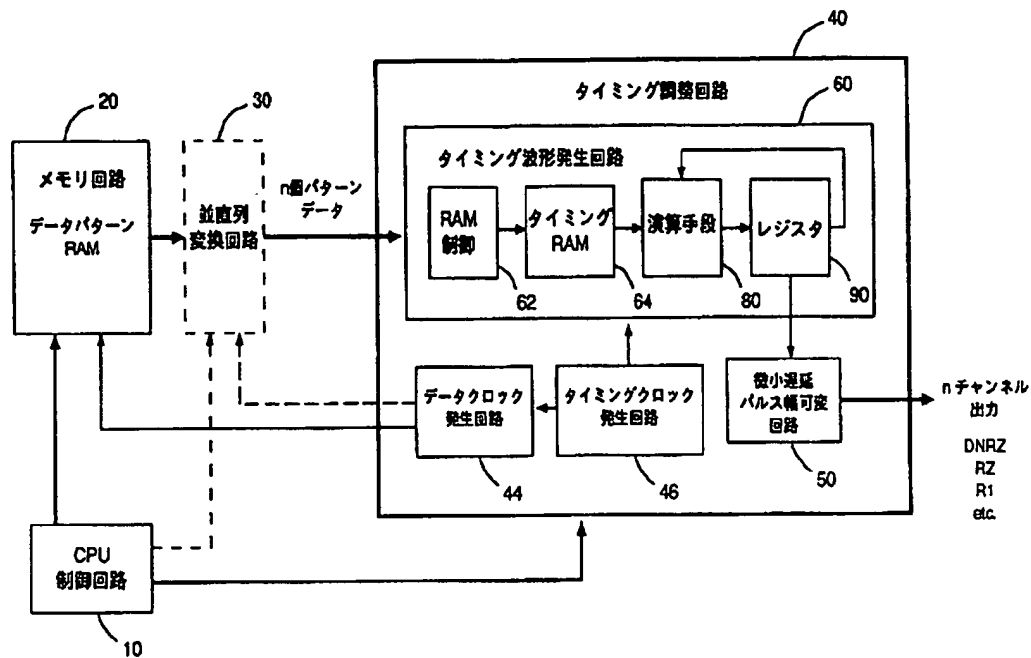
64 タイミングRAM

82 論理積生成手段

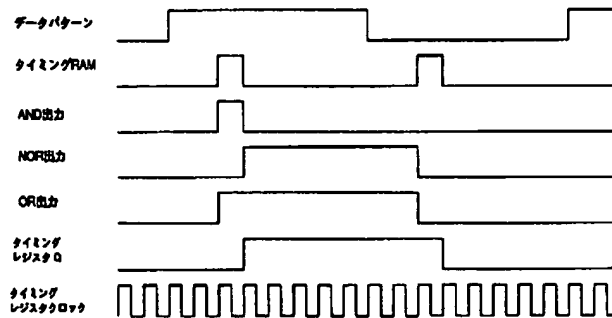
84、86、90 順序回路

\*10

【図1】

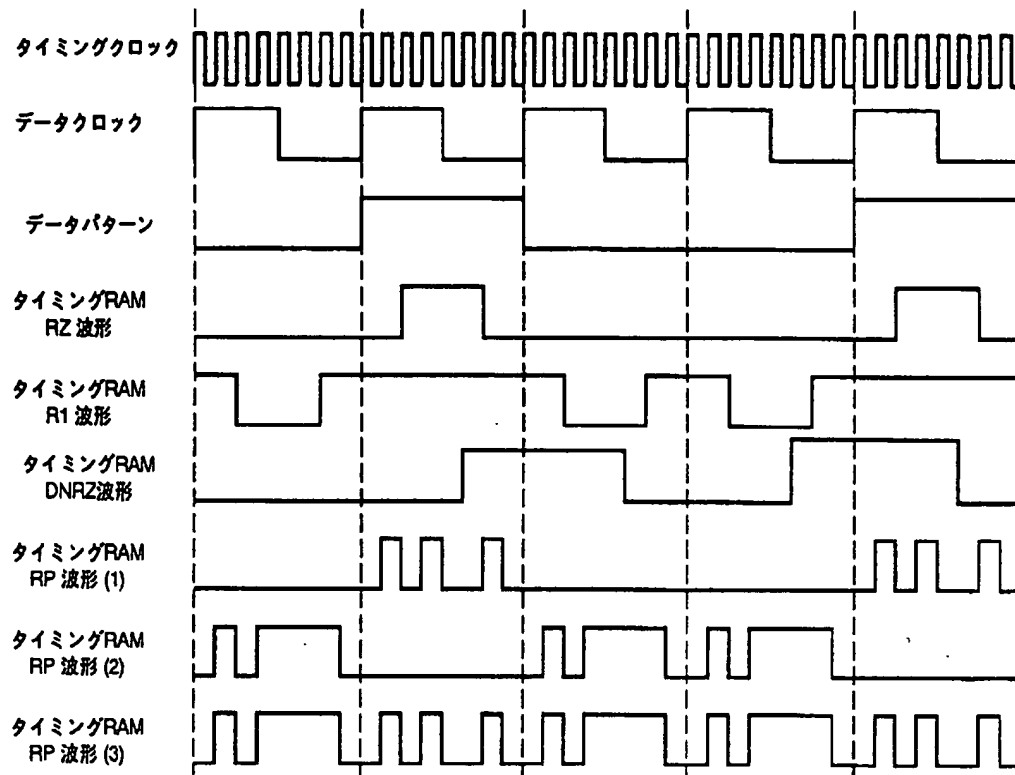


【図9】

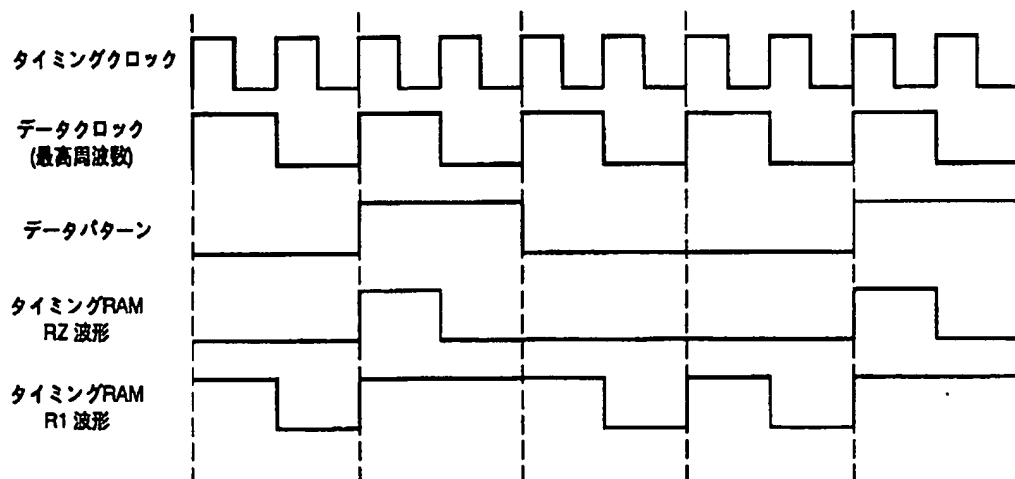


DNRZ 波形 (モードを0にした場合)

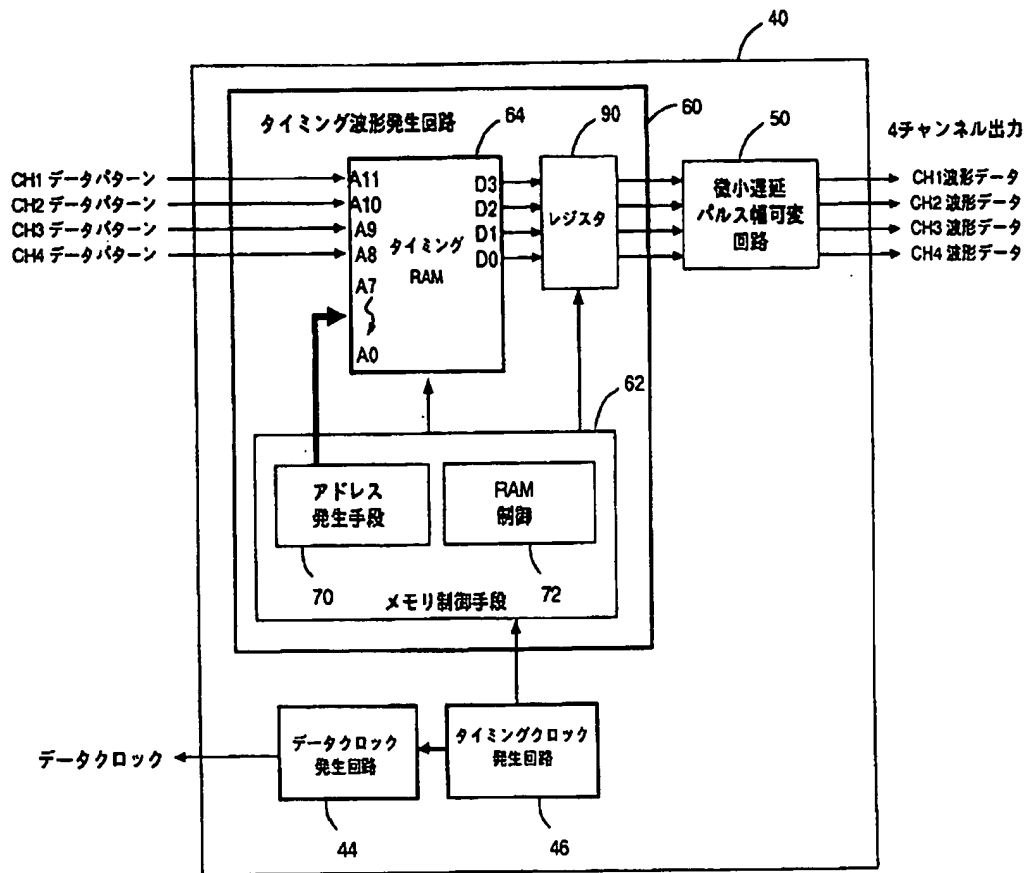
【図2】



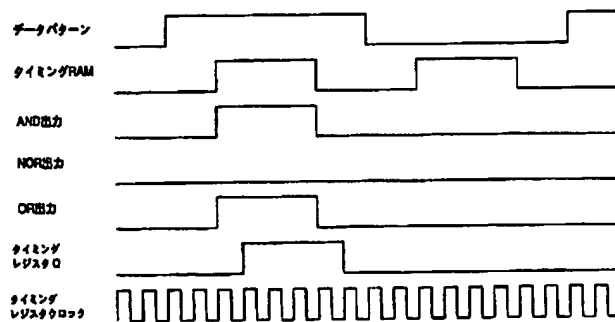
【図3】



【図4】



【図10】



RZ 波形 (モードを1にした場合)



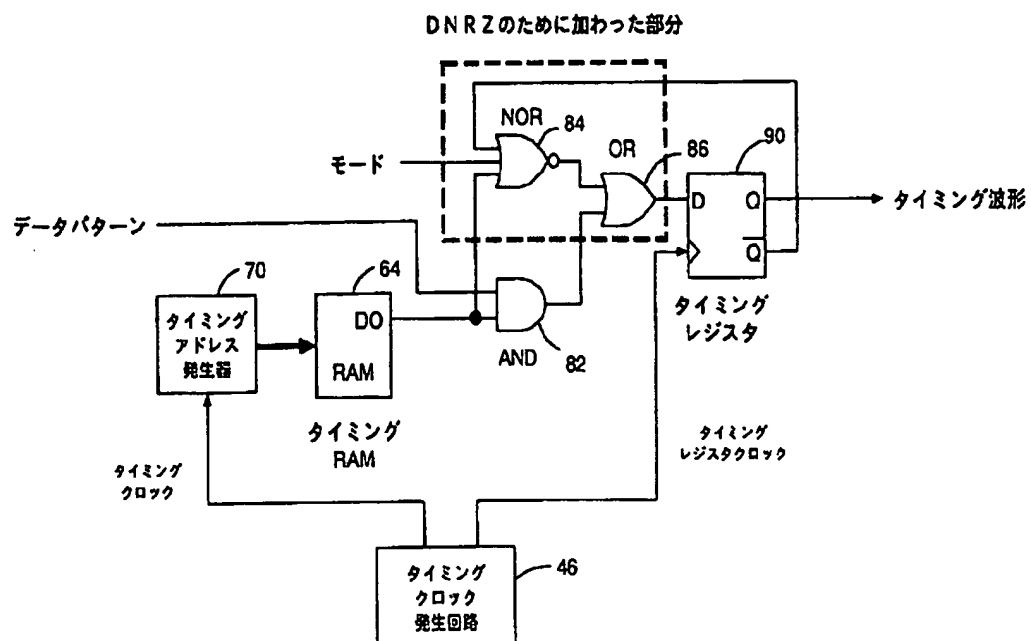
【図5】

D3用メモリ・セル	
0000	X
0001	X
0010	X
0011	X
0100	X
0101	X
0110	X
0111	X
1000	Y
1001	Y
1010	Y
1011	Y
1100	Y
1101	Y
1110	Y
1111	Y

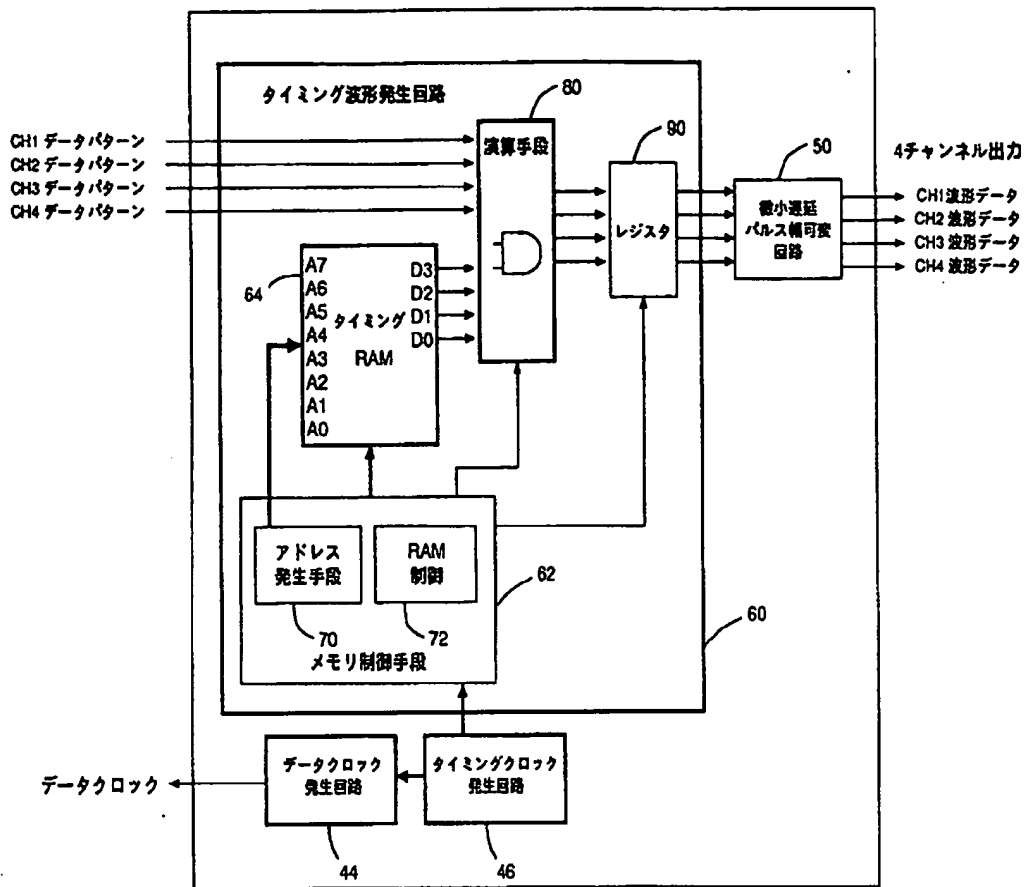
【図6】

D0用メモリ・セル	
0000	X
0001	Y
0010	X
0011	Y
0100	X
0101	Y
0110	X
0111	Y
1000	X
1001	Y
1010	X
1011	Y
1100	X
1101	Y
1110	X
1111	Y

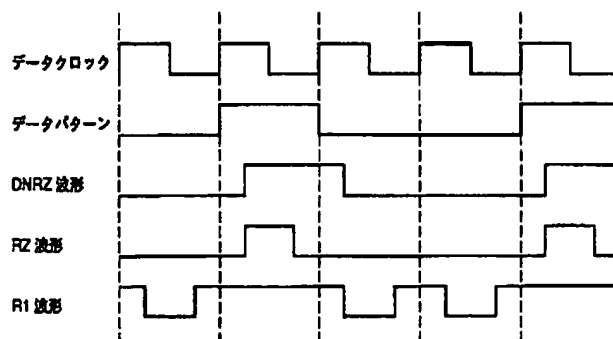
【図8】



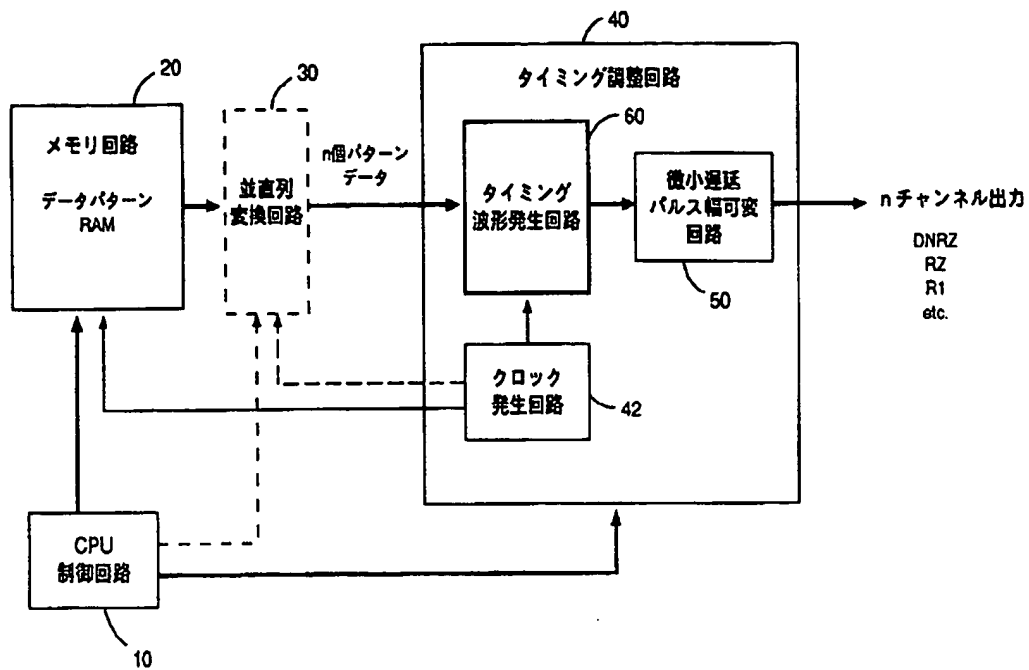
【図7】



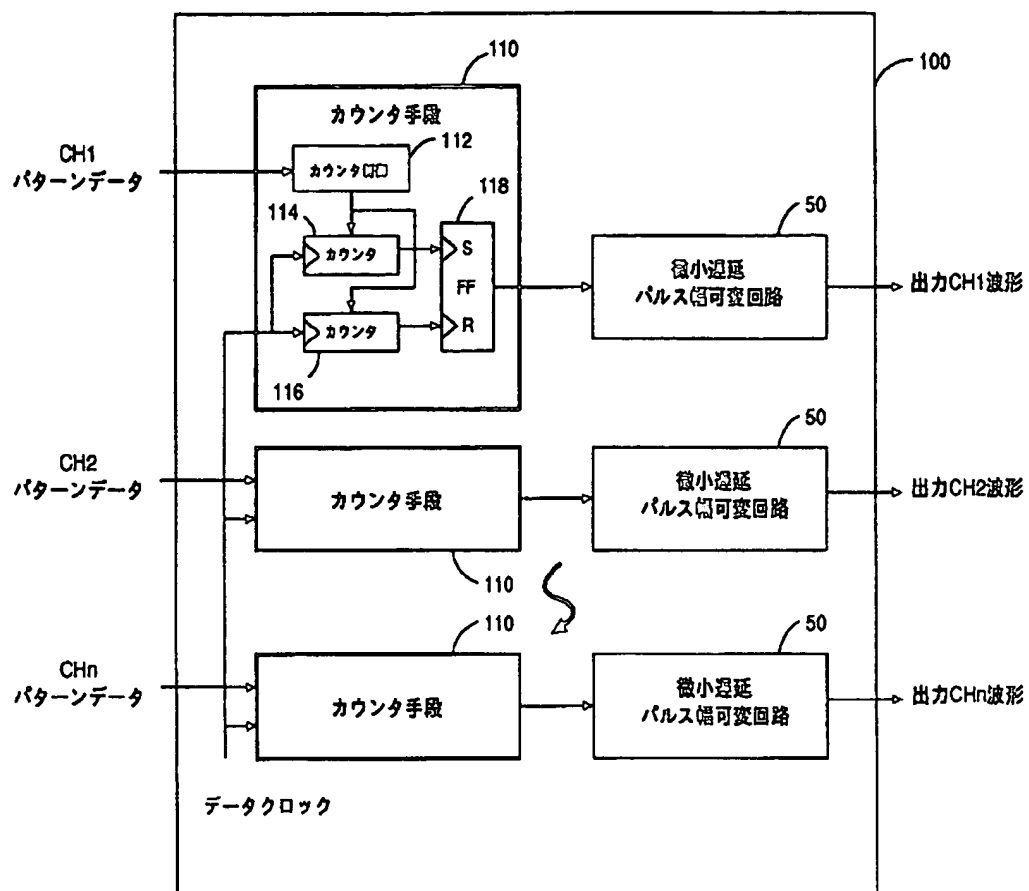
【図12】



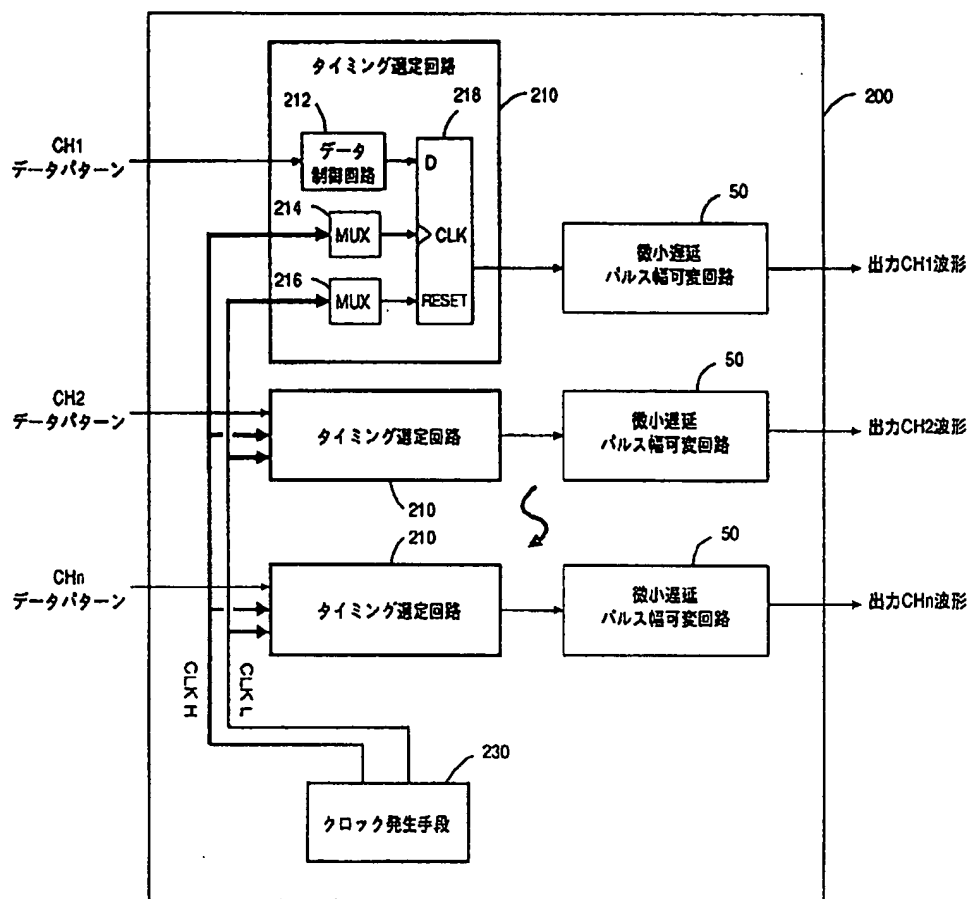
【図11】



【図13】



【図14】



【図15】

